



(Н)537РУ16

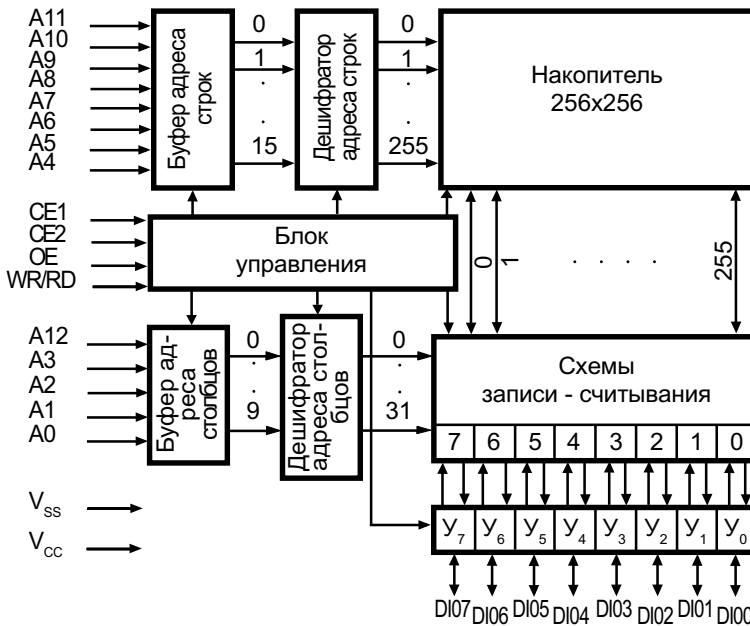
СТАТИЧЕСКОЕ ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

(Н)537РУ16 (БК0.347.243-16ТУ) - интегральная схема (ИС) статического оперативного запоминающего устройства емкостью 64К бит. СОЗУ выполнено по КМОП технологии и предназначено для построения блоков памяти с низким энергопотреблением.

ОСОБЕННОСТИ

- | | | |
|-----------------|----------|------------------------------|
| ☛ Организация | 8Кx8 бит | ☛ Высокая помехоустойчивость |
| ☛ Время выборки | 150 ns | ☛ Высокое быстродействие |
| ☛ Питание | 5V ± 10% | ☛ Низкое энергопотребление |
| ☛ Потребление | 0,6 мА | ☛ Простота управления |

СТРУКТУРНАЯ СХЕМА ИС



МОДИФИКАЦИЯ ИСПОЛНЕНИЯ

Изделие	Корпус	Время выборки разрешения, ns	Варианты маркировки на корпусе	
537РУ16А Н537РУ16А Б537РУ16-4А	4183-28-2 Н18.64-3в в пластине	150	А А -	Без маркировки
537РУ16Б Н537РУ16Б Б537РУ16-4Б	4183-28-2 Н16.48-1в в пластине	200	Б Б -	1 1 -





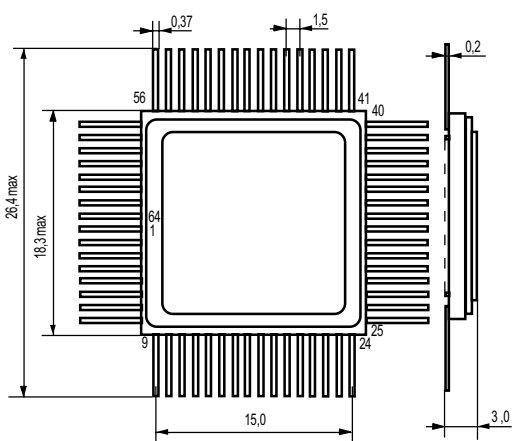
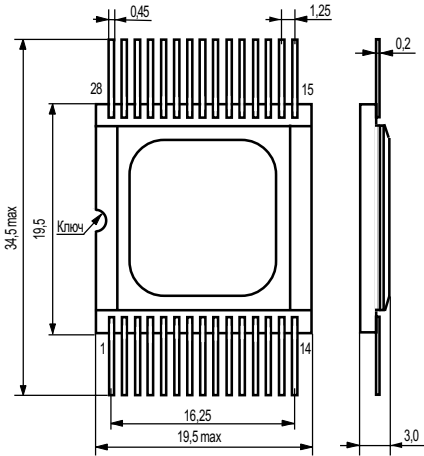
КОНСТРУКЦИЯ

СОЗУ изготовлены по КМОП технологии, содержат 445 500 элементов и поставляются в металло-керамических корпусах: 28-выводном с планарными выводами 4183.28-2 (537PY16) или в 64 выводном кристаллоносителе H18.64-3в (H537PY16).

4183.28-2

H18.64-3в

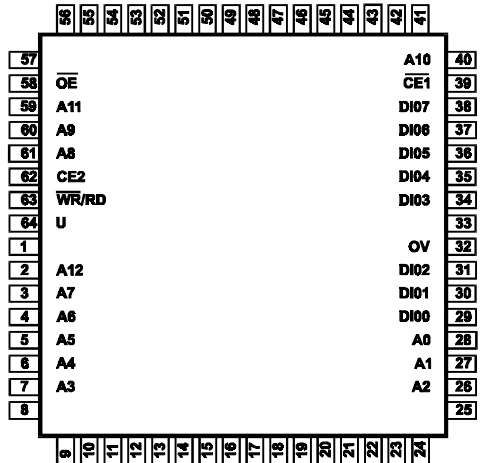
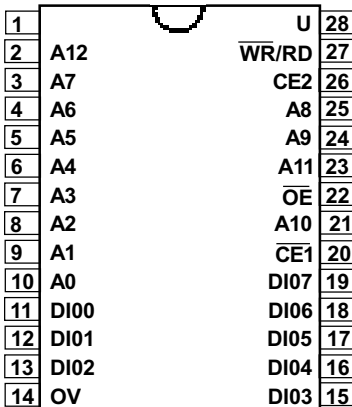
mm



КОНФИГУРАЦИЯ ВЫВОДОВ

4183.28-2

H18.64-3в



ОПИСАНИЕ ВЫВОДОВ

Номер вывода корпуса		Символ	Описание
4183.28-2	Н18.64-3в		
1	1, 8-25, 33, 41-57		Не используется
2	2	A12	Вход адреса столбца
3	3	A7	Вход адреса строки
4	4	A6	Вход адреса строки
5	5	A5	Вход адреса строки
6	6	A4	Вход адреса строки
7	7	A3	Вход адреса столбца
8	26	A2	Вход адреса столбца
9	27	A1	Вход адреса столбца
10	28	A0	Вход адреса столбца
11	29	DI00	Вход (выход) нулевого разряда данных
12	30	DI01	Вход (выход) первого разряда данных
13	31	DI02	Вход (выход) второго разряда данных
14	32	OV	Вход (выход) второго разряда данных
15	34	DI03	Вход (выход) второго разряда данных
16	35	DI04	Вход (выход) второго разряда данных
17	36	DI05	Вход (выход) второго разряда данных
18	37	DI06	Вход (выход) второго разряда данных
19	38	DI07	Вход (выход) второго разряда данных
20	39	CE1	Вход сигнала разрешения
21	40	A10	Вход адреса строки
22	58	OE	Вход сигнала разрешения выхода
23	59	A11	Вход адреса строки
24	60	A9	Вход адреса строки
25	61	A8	Вход адреса строки
26	62	CE2	Вход сигнала разрешения
27	63	WR/RD	Вход сигнала записи (считывания)
28	64	U _{CC}	Вывод питания от источника напряжения

ПРЕДЕЛЬНЫЕ РЕЖИМЫ

Параметр	Единица	Символ	Режим включения*			
			Эксплуатационный		Предельный	
			Мин.	Макс.	Мин.	Макс.
Напряжение питания	V	U _{CC}	4,5	5,5	-	6,0
Входное напряжение низкого уровня	V	U _{IL}	-	0,8**	-	-
Входное напряжение высокого уровня	V	U _{IH}	U _{CC} -0,9**	-	-	-
Напряжение на любом входе	V	U _I	0	U _{CC}	-0,3	U _{CC} +0,3
Максимальная амплитуда импульсов входного напряжения (Длительность импульса ≤ 100ns, скважность не менее 10)	V	U _{I,A,max}	-0,3	U _{CC} +0,3	-0,65	U _{CC} +0,65
Выходной ток низкого уровня	mA	I _{OL}	-	1,7	-	10
Выходной ток высокого уровня	mA	I _{OH}	-	1,2	-	10
Время фронта нарастания, спада входных сигналов	ns	t _{rH} t _{rL}	-	20	-	500
Емкость нагрузки	pF	C _L	-	65	-	500
Постоянная рассеиваемая мощность (при T _{OP} ≤ 27°C)	mW	P _D	-	70	-	300
Допустимое значение статического электричества	V	U _{ST}	-	200	-	200
Температура окружающей среды: - рабочая, - хранения	°C	T _{OP} T _{STG}	-60 -	+85 -	-60 -	- +85

*) В эксплуатационном режиме гарантируются регламентированные (в виде таблиц и зависимостей) характеристики и правильность функционирования ИС.

При превышении хотя бы одного значения предельного режима возможно необратимое повреждение ИС.

***) Норма указана с учетом всех видов помех.

*) Норма указана с учетом всех видов помех.

ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

$T = (-60...+85)^{\circ}\text{C}$, если не указано иное

Параметр	Единица	Символ	Значение			
			537РУ16А		537РУ16Б	
			Мин.	Макс.	Мин.	Макс.
Выходное напряжение низкого уровня: $I_{OL} = 1,7 \text{ mA}$ $R_L = 10 \text{ Mом}$	V	U_{OL}	-	0,4 0,1	-	0,4* 0,1
Выходное напряжение высокого уровня: $I_{OH} = 1,2 \text{ mA}$ $R_L = 10 \text{ Mом}$	V	U_{OH}	2,4 $U_{CC}-0,1$	-	2,4* $U_{CC}-0,1$	-
Напряжение питания в режиме хранения	V	U_{CCS}	3,3	-	3,3	-
Ток потребления в режимехранения: $U_{CC} = 5,5 \text{ V}$ $U_{CC} = 3,3 \text{ V}$	mA	I_{CCS}	-	0,6* 1,0 0,4* 0,6	-	1,6* 2,0 1,0* 1,2
Ток утечки низкого и высокого уровня на входе	μA	I_{LIL} I_{LH}	-	10	-	10*
Выходной ток низкого и высокого уровня в состоянии "выключено"	μA	I_{OZL} I_{OZH}	-	10	-	10*
Время выборки разрешения -60°C +85°C	ns	$t_{A(CE)}$	-	130* 130 150	-	180* 180 200
Время цикла записи (считывания)	ns	$t_{CY(WR)}$ $t_{CY(WD)}$	350	-	480	-
Время выборки адреса	ns	$t_{A(A)}$	-	170	-	220
Время выборки разрешения выхода -60°C +85°C	ns	$t_{A(OE)}$	-	90* 98 100	-	140* 140 150
Время установки сигнала разрешения после сигнала адреса	ns	$t_{SU(A-CE)}$	20	-	20	-
Время установки сигнала разрешения после сигнала записи	ns	$t_{SU(WR-CE)}$	20	-	20	-
Время установки сигнала разрешения после сигнала считывания	ns	$t_{SU(RD-CE)}$	20	-	20	-
Время установки сигнала разрешения после сигнала входной информации	ns	$t_{SU(DI-WR)}$	0	-	0	-
Длительность сигнала разрешения	ns	$t_{W(CE1,L)}$ $t_{W(CE2,H)}$	150	-	200	-
Длительность сигнала записи	ns	$t_{W(WR)}$	170	-	220	-
Время удержания сигнала входной информации после сигнала записи	ns	$t_{H(WR-DI)}$	50	-	50	-
Время сохранения выходной информации после сигнала разрешения выхода	ns	$t_{V(DE-DO)}$	-	70	-	100
Время удержания сигнала адреса после сигнала разрешения	ns	$t_{H(CE-A)}$	180	-	260	-
Входная емкость по выводам: A0-A12, CE1, CE2, WR/RD, OE	pf	C_I	-	12	-	12
Емкость входа/выхода	pf	$C_{I/O}$	-	16	-	16

* - В нормальных условиях

ФУНКЦИОНИРОВАНИЕ

Микросхемы работают в режимах записи, считывания (без разрушения информации) и хранения.

Схема проста в управлении, совместима по выходным сигналам с ТТЛ-схемами, питается от одного источника напряжения $5\text{ V} \pm 10\%$.

Микросхема содержит накопитель, состоящий из 65 536 запоминающих элементов, дешифраторы адреса строк и столбцов, усилители записи-считывания, схемы ввода-вывода информации и блок управления.

Накопитель микросхемы разбит на 8 секций, каждая из которых содержит 8 192 запоминающих элементов.

В качестве запоминающего элемента (ЗЭ) выбран шеститранзисторный элемент триггерного типа с ключевыми транзисторами связи с разрядными шинами n-типа проводимости, имеющий:

- высокую помехоустойчивость;
- высокое быстродействие;
- малую мощность рассеивания;
- простоту управления.

При подаче на адресные входы двоичного кода адреса происходит одновременный выбор по одному запоминающему элементу в каждой из восьми секций накопителя. В режиме хранения (сигнал **CE1** - уровень «логической 1») все входы (выходы) восьми разрядов данных находятся в состоянии высокого сопротивления. При выполнении операции (**CEI** - «логический 0», **WR/RD** - «логический 0») информация одновременно со всех входов (выходов) поступает через схемы ввода-вывода и усилители записи-считывания в соответствующие восемь запоминающих элементов (одинаковые в каждой секции накопителя).

При выполнении операции считывания (**CE1** - «логический 0», **WR/RD** - «логическая 1», **OE** - «логический 0») информация одновременно из восьми запоминающих элементов (из одного в каждой секции накопителя) передается на усилители записи-считывания, на схемы ввода-вывода информации и далее на выходы входа (выхода) данных.

Сигнал разрешения выхода **OE** позволяет в режиме считывания запретить вывод информации из микросхемы ОЗУ. При сигнале **OE** в состоянии «логической 1» входы (выходы) данных находятся в состоянии высокого сопротивления (закрыты) и информации на выходе нет.

Блок управления микросхемы обеспечивает синхронную работу всех узлов ОЗУ в режимах хранения, записи и считывания.

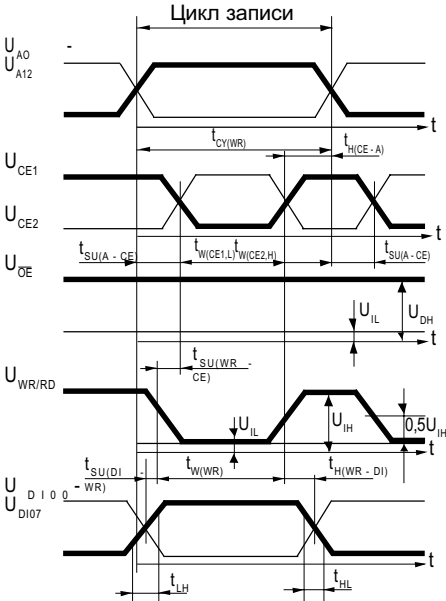
Микросхема ОЗУ синхронного типа. Переход микросхемы из режима хранения в активный режим записи или считывания осуществляется переключением сигнала **CEI** из состояния «логической 1» в состояние «логического 0».

После окончания операции записи или считывания с целью подготовки микросхемы к следующему циклу необходимо установить сигнал **CE1** в состояние «логической 1».

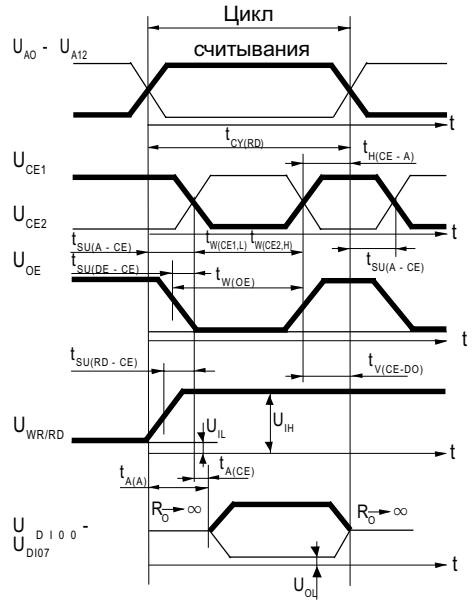
В описанных режимах записи, считывания и хранения сигнал **CE2** должен находиться в противоположной фазе относительно сигнала **CE1**.



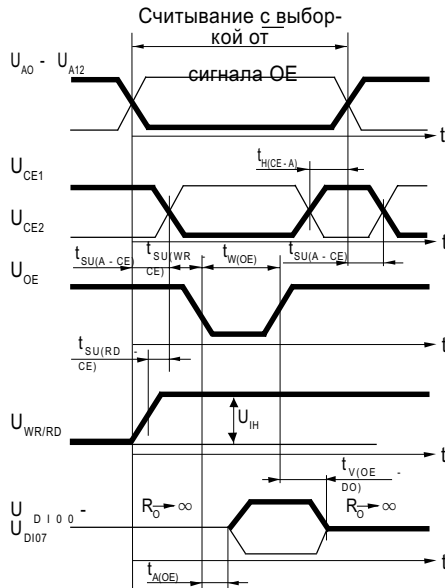
ВРЕМЕННЫЕ ДИАГРАММЫ РАБОТЫ МИКРОСХЕМЫ



Входная информация
Временные интервалы сигналов - по уровню 0,5



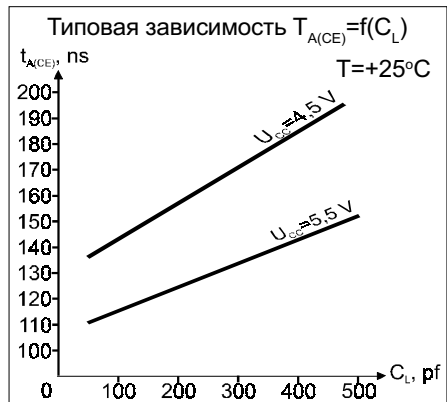
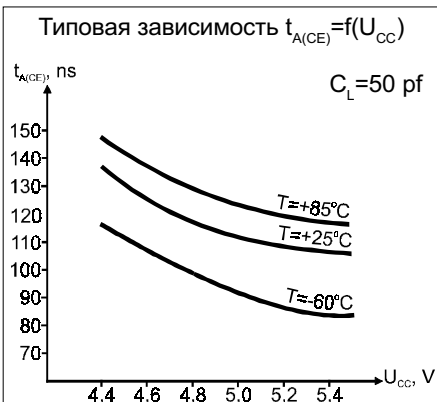
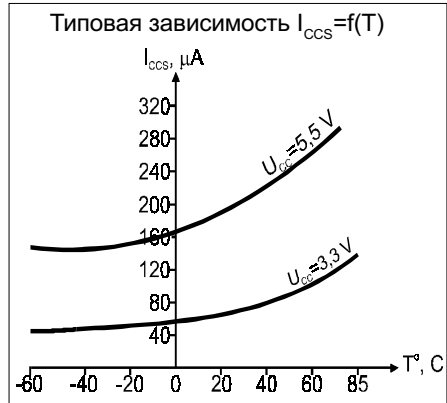
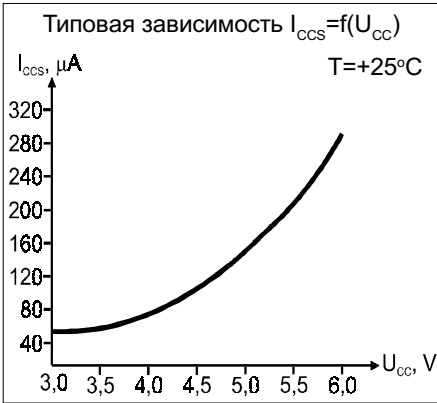
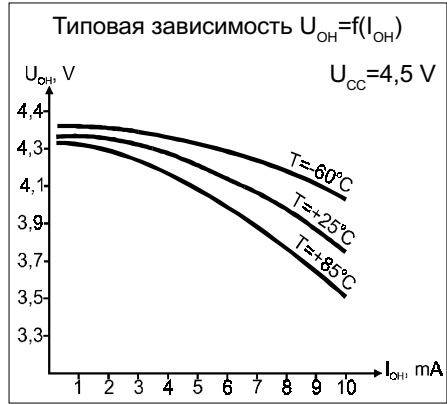
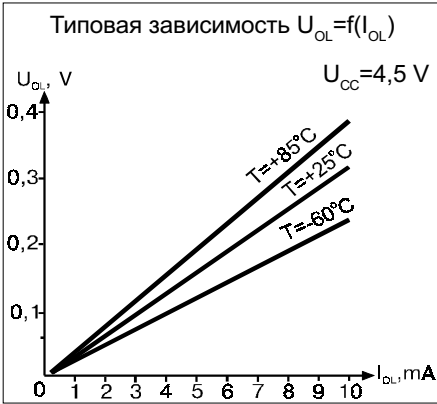
Выходная информация
Временные интервалы сигналов - по уровню 0,5;



Выходная информация
Временные интервалы сигналов - по уровню 0,5;
 R_O - выходное сопротивление микросхемы

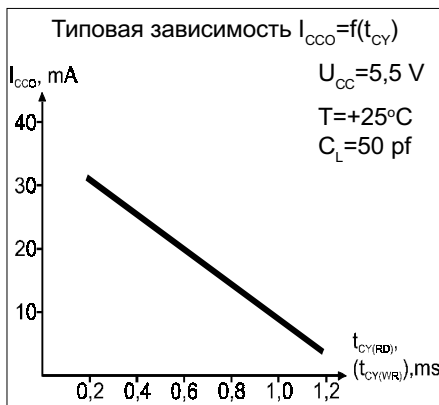
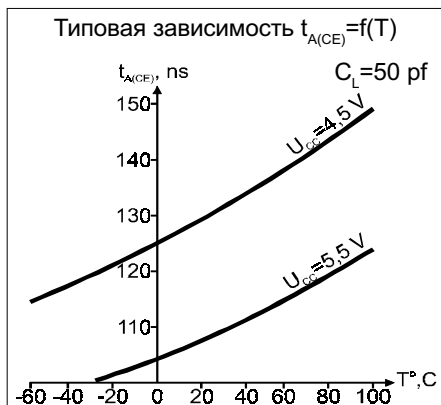


ДИАГРАММЫ СИГНАЛОВ И ЗАВИСИМОСТЕЙ



**ДИАГРАММЫ СИГНАЛОВ И ЗАВИСИМОСТЕЙ**

(ПРОДОЛЖЕНИЕ)

**НАДЕЖНОСТЬ**Минимальная наработка: - при $U_{CC} = 5 V \pm 10\%$ - 100 000 час.- при $U_{CC} = 5 V \pm 5\%$ - 120 000 час.**ОБЛАСТИ ПРИМЕНЕНИЯ**

(H)537PY16 (БК0.347.243-16ТУ) - предназначена для построения различных блоков памяти, отличающихся низким энергопотреблением, высокой надежностью и стойкостью к воздействию механических, климатических и специальных факторов.

По отдельному заказу могут быть поставлены партии ИС с диапазоном рабочих температур до **+150°C**.

103460, **МОСКВА**, Зеленоград, ОАО **АНГСТРЕМ**,**Торговый Дом АНГСТРЕМ**

т. (095) 531-49-06, т/ф. 532-96-21

E-mail: market@angstrem.ruWWW.angstrem.ru